

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Yoshinori OGAWA and Shigeki TANAKA
Application No: NEW
Filed: March 11, 2004
For: DISPLAY DEVICE

PRIORITY LETTER

MAIL STOP NEW APPLICATION

March 11, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

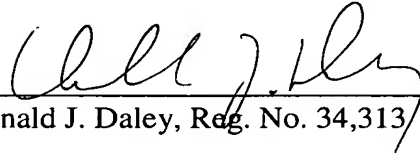
Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2003-067210	March 12, 2003	JAPAN

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 
Donald J. Daley, Reg. No. 34,313

DJD/bof

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 2 日
Date of Application:

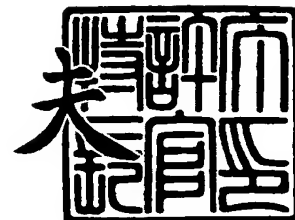
出 願 番 号 特 願 2 0 0 3 - 0 6 7 2 1 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 7 2 1 0]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 4 年 1 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 4 8 1 5

【書類名】 特許願

【整理番号】 03J00416

【提出日】 平成15年 3月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20 641
G09G 5/10

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 小川 嘉規

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 田中 茂樹

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

第一方向と、第一方向と交差する第二方向とにマトリクス状に配置された複数の各画素を有する表示パネルと、

上記第一方向に沿った各画素の一ライン毎、上記第二方向に順次駆動して表示データに基づく画像を上記表示パネルに表示させるための駆動部と、

上記画像を多階調にて表示するための、上記多階調に応じた各基準電圧を発生するための基準電圧発生部と、

上記表示データを γ 補正するために、上記各基準電圧を調整する γ 補正調整部と、

上記第一方向および第二方向の少なくとも一方にて互いに隣り合う各画素での表示むらを低減するために、上記 γ 補正された各基準電圧を変更するように上記 γ 補正調整部を制御する制御部とを備えていることを特徴とする表示装置。

【請求項 2】

γ 補正用の調整データを格納するメモリを上記制御部に備え、

上記制御部は、上記調整データに基づいて γ 補正を変更するものであることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

γ 補正用の調整データを格納するメモリを上記駆動部に備え、

上記制御部は、上記調整データに基づいて γ 補正を変更するものであることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

上記表示パネルは、第一方向に沿って、複数の表示領域に分割されていて、

上記駆動部が、複数、上記各表示領域にそれぞれ対応して設けられていることを特徴とする請求項 1 ないし 3 の何れか 1 項に記載の表示装置。

【請求項 5】

上記基準電圧発生部は、画像のカラー表示のための色毎に、複数、設けられて

いることを特徴とする請求項 1 ないし 4 の何れか 1 項に記載の表示装置。

【請求項 6】

表示パネルは、表示パネルの表面方向にて分割されて製造されたものであることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の表示装置。

【請求項 7】

表示パネルは、表示小パネルが、複数、各表示小パネルの各表示画面を同一平面状となるように互いに接合されたものであることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の表示装置。

【請求項 8】

上記表示パネルは、複数の画素電極およびその各画素に対応する薄膜トランジスタを有する薄膜トランジスタパネルと、対向電極を形成した対向パネルとを備え、薄膜トランジスタパネルの電極形成面と対向パネルの電極形成面とが互いに対向するように重ね合わされた液晶パネルであることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の表示装置。

【請求項 9】

上記表示パネルは、複数の画素電極およびその各画素に対応する薄膜トランジスタを有する、複数の薄膜トランジスタパネルと、対向電極を形成した対向パネルとを備え、同一平面上に互いに接合された各薄膜トランジスタパネルの電極形成面と対向パネルの電極形成面とが互いに対向するように重ね合わされた液晶パネルであることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示むらなどが改善された、表示画質が優れた、アクティブマトリックス型液晶表示装置などの表示装置に関する。

【0002】

【従来の技術】

アクティブマトリックス式の液晶表示装置は、薄膜トランジスタパネルと対向パネルとを重ね合わせ、この両パネルを枠状のシール材により接合して液晶セル

を組み立て、この液晶セル内に液晶を封入してなっている。

【0003】

薄膜トランジスタパネルは、ガラス等からなる透明な基板の上に、縦横に配列する複数の透明な画素電極と、これら画素電極に対応する複数の薄膜トランジスタ (Thin Film Transistor; 以下 T F T と略称) にゲート信号を供給する複数のゲートラインと、前記 T F T にデータ信号を供給する複数のソースラインとを形成してなるものである。また、対向パネルにはガラス等からなる透明な基板の上に、T F T パネルにおけるすべての画素電極と対向する透明な (光透過性を有する) 対向電極を形成してなっている。

【0004】

例えば T F T は、一般に薄膜形成技術つまりフォトファブリケーション技術を適用して作製される。これら T F T の薄膜パターン形成プロセスでは、先ず薄膜材料を基板上にスパッタリング法や C V D 法などの所定の成膜方法を用いて成膜した後、この薄膜をいわゆる P E P (フォトエッチングプロセス) により所望の形状にパターンニングする。

【0005】

即ち、基板上に成膜された薄膜上にフォトレジストをコーティングし、これを露光処理することにより所定パターンに現像する。つまり所望パターンの遮光体を有するフォトマスクを基板上方に位置合わせしてセットし、このフォトマスクを介して上方からフォトレジストに光を照射して、露光処理を行う。

【0006】

次いで、その露光されたフォトレジストを現像する。そして現像されたフォトレジストをマスクとして、基板上に成膜されている薄膜の不要部分をエッチング除去して所望のパターンを得る。さらに、この工程を電極や半導体素子を構成する各薄膜の層数に対応する工程数繰り返すことによって、所望の素子を作製することができる。

【0007】

また、近年、液晶表示装置の大画面化への需要が高まってきており、近年の液晶表示素子をはじめとして光学素子の大容量化に伴い、大面積の表示素子に対応

する薄膜形成およびそのパターニング技術が要求されている。

【0008】

前記の露光処理を行うに際し、露光装置の光学系の能力には一定の制約があるので、一度に露光処理が可能な面積は限られている。そこで、大面積の表示素子に対応する薄膜形成およびそのパターニング技術として、いわゆる分割露光（ステッパ）方式を適用することにより、大面積の露光処理を行う方法が用いられている。

【0009】

このステッパを用いた分割露光方式は、例えば図12に示すように、露光処理を行う基板60上の領域を複数の、例えば4つの各露光エリア（a, b, c, d）に基板60の表面方向に沿って分割し、一回の露光処理（ショット）毎に、その一つの分割露光エリアを露光処理し、これを分割数だけ繰り返す（ステップアンドリピートする）ことで、基板60全面にわたって露光処理を行うものである。このような露光を行うことによって、露光装置が一度に処理可能な面積を超えて大面積にわたる露光処理を行うことが可能となる。

【0010】

このように、TFTパネルおよび対向パネルをそれぞれ大型の基板（ガラス板）を用いて大型に形成し、この両パネルを接合して組み立てたり、あるいはそれぞれTFTパネルと対向パネルとを接合して形成した小型の複数の液晶表示素子を同一平面上に繋ぎ合わせたりして、大型の液晶表示装置として構成する製造方法が知られている。

【0011】

ところが、TFTパネルおよび対向パネルをそれぞれ大型の基板により大型に形成し、この両パネルを接合して大画面の液晶表示装置を構成する場合、その一方は、基板の上のほぼ全体に広がる対向電極を形成すればよいから、その全体が大型となっても特に問題はないが、他方のTFTパネルにおいては、基板の上に多数のTFTと、これらのTFTに対応する多数の画素電極と、多数本のゲートラインおよびデータラインとを有する複雑な構造であるため、基板が大型になると、その歪みやねじれ等により品質が低下し、表示むら等の欠陥が発生しやすく

なる。

【0012】

また、小型の複数の液晶表示素子を同一平面上に繋ぎ合わせて大画面の液晶表示装置を構成する場合には、その小型の各液晶表示素子の継ぎ目が画面上に表れ、表示上の見苦しさが生じてしまう難点がある。

【0013】

つまり、このステッパ方式を適用することによって、作製されたアクティブマトリクス型液晶表示装置では、図13および図14に示すように、互いに異なる各露光エリア68…に対し、同じ画像信号をそれぞれ入力したにも関わらず、これらに応答する各画素71の輝度が互いに異なる現象が生じるという問題を招来している。

【0014】

特に、互いに隣接する各露光エリア68…間で、各画素71の輝度差が大きくなると、各露光エリア68…の各境界線部69がその表示画面上で「継ぎ目」として視認されてしまい、高精細度な画像表示が要求されるアクティブマトリクス型液晶表示装置の表示品位を著しく低下させていた。

【0015】

そこで、表示素子を複数のエリアに分割してフォトレジストの露光等を行なって単位画素をアレイ状に配列されたパターンに形成し、液晶表示素子のような表示素子を作製するにあたり、その分割した複数の表示エリア（小領域）同士の輝度差が生じる場合に、それらの互いに隣接している境界線を非直線（ジグザグ）に設定し、上記境界線近傍の輝度の変化勾配を緩やかにすることにより、各表示エリア間の「継ぎ目」を視認上目立たなくする構成が再表95-16276号公報に開示されている。

【0016】

【特許文献1】

再表95-16276号公報（公開日1995年6月15日）

【0017】

【発明が解決しようとする課題】

しかしながら、上記再表 95-16276 号公報に記載の構成では、輝度差が互いに生じる複数の表示エリア（小領域）の互いに隣接している境界線を非直線（ジグザグ）に設定しているため、各表示エリア間の「継ぎ目」を視認上目立たなくできるが、複雑な形状である非直線（ジグザグ）に設定され、互いに接合される各境界線を精度良く作製することが困難であり、歩留りの低下やコストアップを招来するという問題点を生じている。

【0018】

本発明は、このような問題点に着目してなされたもので、一般に設けられている、各画素の輝度を調整している γ 補正を利用して、上記 γ 補正が表示むらを低減するように、上記 γ 補正を基準値に対し増減させる変更により制御することで、液晶パネルの複雑な形状の境界線部の作製工程を省いて、表示むらを低減でき、継ぎ目の視認による従来の表示上の見苦しさも抑制でき、すっきりした表示画面を得ることができる、大画面が可能な液晶表示装置といった表示装置を提供することを目的としている。

【0019】

【課題を解決するための手段】

本発明の表示装置は、以上の課題を解決するために、第一方向と、第一方向と交差する第二方向とにマトリクス状に配置された複数の各画素を有する表示パネルと、上記第一方向に沿った各画素の一ライン毎、上記第二方向に順次駆動して表示データに基づく画像を上記表示パネルに表示させるための駆動部と、上記画像を多階調にて表示するための、上記多階調に応じた各基準電圧を発生するための基準電圧発生部と、上記表示データを γ 補正するために、上記各基準電圧を調整する γ 補正調整部と、上記第一方向および第二方向の少なくとも一方にて互いに隣り合う各画素での表示むらを低減するために、上記 γ 補正された各基準電圧を変更するように上記 γ 補正調整部を制御する制御部とを備えていることを特徴としている。

【0020】

上記表示装置では、 γ 補正用の調整データを格納するメモリを上記制御部に備え、上記制御部は、上記調整データに基づいて γ 補正を変更するものであっても

よい。

【0021】

上記表示装置においては、 γ 補正用の調整データを格納するメモリを上記駆動部に備え、上記制御部は、上記調整データに基づいて γ 補正を変更するものであってもよい。

【0022】

上記構成によれば、表示パネルと、駆動部と、基準電圧発生部と、 γ 補正調整部とにより、 γ 補正されて視認特性に合うと共に、階調表現された画像を表示できる。

【0023】

その上、上記構成では、 γ 補正された各基準電圧を変更するように上記 γ 補正調整部を制御する制御部を設けたから、各画素間にて、製造プロセスのバラツキなどによって表示むらを生じて、上記表示むらを上記各基準電圧の変更により、抑制できる。

【0024】

すなわち、上記構成は、上記表示パネルが、例えば複数、それらの表示面を面一となるように互いに接合した大型のものでも、それらの各表示パネル間に、製造プロセスのバラツキなどに起因する輝度むらといった表示むらを生じて、前記各基準電圧の変更により、上記表示むらを抑制できる。

【0025】

これにより、上記構成においては、従来のような液晶パネルにおける複雑な形状の境界線部の作製工程を省いて、表示むらを低減でき、継ぎ目の視認による従来の表示上の見苦しさも抑制でき、すっきりした表示画面を得ることができる、大画面が可能な液晶表示装置といった表示装置を提供できる。

【0026】

上記表示装置では、上記表示パネルは、第一方向に沿って、複数の表示領域に分割されていて、上記駆動部が、複数、上記各表示領域にそれぞれ対応して設けられていてもよい。

【0027】

上記構成によれば、各駆動部の特性にバラツキが生じても、上記各特性のバラツキに起因する表示むらを、前記各基準電圧の変更により、抑制できる。

【 0 0 2 8 】

上記表示装置においては、上記基準電圧発生部は、画像のカラー表示のための色毎に、複数、設けられていてもよい。上記構成によれば、カラー表示の表示むらも抑制できる。

【 0 0 2 9 】

上記表示装置では、表示パネルは、表示パネルの表面方向にて分割されて製造されたものであってもよい。上記構成によれば、表示パネルの表面方向にて分割されて製造された、例えば表示画面が大型化されたものの場合でも、分割されて製造されたことに起因する表示むらを、前記各基準電圧の変更により、抑制できる。

【 0 0 3 0 】

上記表示装置においては、表示パネルは、表示小パネルが、複数、各表示小パネルの各表示画面を同一平面状となるように互いに接合されたものであってもよい。上記構成によれば、表示小パネルが、複数、各表示小パネルの各表示画面を同一平面状となるように互いに接合された、例えば表示画面が大型化されたものの場合でも、分割されて製造されたことに起因する表示むらを、前記各基準電圧の変更により、抑制できる。

【 0 0 3 1 】

上記表示装置では、上記表示パネルは、複数の画素電極およびその各画素に対応する薄膜トランジスタを有する薄膜トランジスタパネルと対向電極を形成した対向パネルとを備え、薄膜トランジスタパネルの電極形成面と対向パネルの電極形成面とが互に対向するように重ね合わされた液晶パネルであってもよい。

【 0 0 3 2 】

上記表示装置においては、上記表示パネルは、複数の画素電極およびその各画素に対応する薄膜トランジスタを有する、複数の薄膜トランジスタパネルと、対向電極を形成した対向パネルとを備え、同一平面上に互いに接合された各薄膜トランジスタパネルの電極形成面と対向パネルの電極形成面とが互に対向するよ

うに重ね合わされた液晶パネルであってもよい。

【0033】

【発明の実施の形態】

本発明に係る表示装置の実施の一形態としての液晶表示装置について、図1ないし図11に基づき説明すれば以下の通りである。図2は、本実施の形態に係る液晶表示装置としてのTFT液晶モジュールの構成を表すブロック図である。なお、図2では、主な構成要素および主な信号経路のみを図示し、例えば、クロック信号、リセット信号、セレクト信号等の他の主な信号の信号経路については省略されている。

【0034】

図2に示すように、本実施の形態における液晶表示装置（TFT液晶モジュール）1は、液晶パネル（表示パネル）2、ソースドライバ（駆動部）3、ゲートドライバ4、液晶駆動電源5、およびコントローラ（制御部）6を含んでいる。

【0035】

液晶パネル2は、m本のソース電極およびn本のゲート電極に形成される水平方向（第一方向）m画素×垂直方向（第二方向）n画素のマトリクス状に配置された、TFT（薄膜トランジスタ）方式の各画素を有する液晶パネルである。本実施の形態では、上記水平方向と上記垂直方向とは、互いに直交するように交差しているが、特に直交している必要はなく、互いに交差していればよい。

【0036】

なお、以下では、水平方向1ラインの画素の配列を「行」と称し、垂直方向1ラインの画素の配列を「列」と称する。本実施の形態では、例として、 $m=1028 \times RGB$ 、 $n=900$ であり、各画素において第0階調～第63階調の64階調（6ビット）の階調表示を行うものとする。しかしながら、必要に応じて上記の階調数や画素数は増減可能なものである。

【0037】

なお、各行には、R（赤）、G（緑）、B（青）それぞれを表示する各画素が繰り返し配列されているものとする。したがって、各行にはRGBの各画素がこの順にて繰り返し配列されているものとする。これにより、各行にはRGBの各

画素がそれぞれ n 画素ずつ含まれていることになる。

【0038】

液晶パネル 2 には、図 3 に示す通り、画素電極 1001、画素容量 1002、画素への電圧印加をオン／オフするスイッチング素子としての TFT 1003、ソース信号ライン 1004、ゲート信号ライン 1005、および液晶パネル 2 の対向電極 1006 が設けられている。図 3 中、A で示す領域（破線で示された領域）が、1 画素分の液晶表示素子である。

【0039】

ソース信号ライン 1004 には、ソースドライバ 3 から、表示データに基づく表示対象の画素の明るさに応じた階調表示電圧が印加される。ゲート信号ライン 1005 には、ゲートドライバ 4 から、縦方向に並んだ TFT 1003 が順次オンするように走査信号が印加される。オン状態の TFT 1003 を通して、該 TFT 1003 のドレインに接続された画素電極 1001 にソース信号ライン 1004 の電圧が印加され、対向電極 1006 との間の画素容量 1002 に上記印加電圧に応じた電荷が蓄積される。これにより、液晶パネル 2 では、各液晶表示素子の液晶において光透過率が上記印加電圧に応じて変化し、階調表示が行なわれる。

【0040】

図 4 および図 5 は、液晶パネル 2 の各液晶表示素子に対する液晶駆動波形の一例を示している。これらの図中、1101、1201 はソースドライバ 3 からの出力信号の駆動波形、1102、1202 はゲートドライバ 4 からの出力信号の駆動波形である。1103、1203 は対向電極の電位であり、1104、1204 は画素電極の電圧波形である。液晶材料に印加される電圧は、画素電極 1001 と対向電極 1006 との電位差であり、図中には斜線で示されている。

【0041】

例えば、図 4 では、駆動波形 1102 で示すゲートドライバ 4 からの出力信号が High レベルのとき TFT 1003 がオンし、駆動波形 1101 で示すソースドライバ 3 からの出力信号と対向電極 1006 の電位 1103 との差が画素電極 1001 に印加される。このあと、1102 で示されるように、ゲートドライバ 4

からの出力信号はLowレベルとなり、TFT1003はオフ状態となる。このとき、画素では、画素容量1002があるため、上述の電圧が維持される。図5の場合も図4と同様である。

【0042】

図4と図5とは、液晶材料に印加される電圧が異なる場合を示しており、図5の場合は、図4の場合と比べて印加電圧が低い。このように本実施の形態では、液晶に印加される電圧をアナログ電圧として変化させることで、液晶の光透過率をアナログ的に変え、多階調表示を実現している。表示可能な階調数は、液晶に印加されるアナログ電圧の選択肢の数により決定される。

【0043】

図2に示すように、前述のコントローラ6は、表示メモリ7を内蔵するものである。この表示メモリ7は、特に制限されないが、水平方向m画素×垂直方向n画素分の表示データ（例えば、静止画像を表示するためやキャラクタ表示のためのデータ）と後述の γ 補正用の各調整データをそれぞれ格納できるよう構成されている。本実施の形態ではコントローラ6に表示メモリ7を内蔵した一例を示すが、ソースドライバ3に内蔵してもよい（図示せず）。

【0044】

当然、表示メモリ7のメモリアレイについては、フラッシュメモリ、OTP、EEPROM、FeRAM（強誘電体メモリ）等の不揮発性メモリから構成され、種類を問わない。本実施の形態の表示メモリ7においては、一度記憶した、 γ 補正用の各調整データといったデータは電源が遮断されても保持される。

【0045】

上記コントローラ6には、前記表示メモリ7以外に周辺回路部8や制御回路6aが設けられている。上記制御回路6aは、ソースドライバ3に対し、表示データD、並びに、水平同期信号、転送クロック、およびスタートパルス入力信号等の制御信号S1を入力する一方、ゲートドライバ4には垂直同期信号や水平同期信号等の制御信号S2を入力する。さらに、上記制御回路6aは、ソースドライバ3およびゲートドライバ4に対し、水平同期信号S3をそれぞれ入力する。

【0046】

上記構成において、画像に対応した、外部から入力された表示データは、上記コントローラ 6 を介してデジタル信号である表示データ D (R、G、B) としてソースドライバ 3 に入力される。

【0047】

その後、ソースドライバ 3 は入力された表示データ D を時分割して複数個のソースドライバ 3 … の各々にラッチし、その後、コントローラ 6 から入力される上記水平同期信号 S 3 に同期して D/A コンバート（デジタル表示データに応じて階調表示用基準電圧を選択）する。複数個のソースドライバ 3 … は、液晶パネル 2 を水平方向に沿って、互いに隣接するように分割した各領域にそれぞれ対応して設けられている。

【0048】

そして、ソースドライバ 3 は、時分割された表示データ D を D/A コンバートして成る階調表示用のアナログ電圧（以下、階調表示基準電圧と言う）を、ソース信号ライン 1004 により液晶パネル 2 における対応する上記液晶表示素子に出力する。

【0049】

前記周辺回路部 8 は、特に図示しないが、入出力回路、Y アドレスを発生する Y アドレス発生回路、前記 Y アドレス発生回路から出力されたアドレスデータに基づきデコード信号を出力する Y デコーダ、X アドレスを発生する X アドレス発生回路、前記 X アドレス発生回路から出力されたアドレスデータに基づき k ビットのデコード信号を出力する X デコーダとを含んでいる。上記周辺回路部 8 は、これらの各デコード信号により表示メモリ 7 への書き込みや表示メモリ 7 からの読み出し等を制御する。

【0050】

図 1 に上記ソースドライバ 3 の構成ブロック図の一例を示す。図 1 に示す通り、ソースドライバ 3 は、データラッチ回路 20 と、シフトレジスタ回路 21 と、サンプリングメモリ回路 22 と、ホールドメモリ回路 23 と、レベルシフト回路 24 と、D/A コンバータ回路 25 と、出力回路 26 と、階調表示基準電圧発生回路（基準電圧発生部）27 とを含んで構成されている。

【0051】

以下に、このソースドライバ3の動作について説明する。シフトレジスタ回路21は、スタートパルス入力信号SSPIをシフト、すなわち転送する回路である。信号SSPIはコントローラ6から、ソースドライバ3の入力端子SSPiに入力され、R、G、B用の各表示データ信号の水平同期信号と同期がとられた信号である。

【0052】

このスタートパルス入力信号SSPIは、コントローラ6から出力され、ソースドライバ3の入力端子SCKiに入力したクロック信号SCKによってシフトされる。このシフトレジスタ回路21にてシフトされたスタートパルス入力信号SSPIは、例えばソースドライバを8個用いた場合においては、1段目の第1番目ソースドライバ3から8段目の第8番目ソースドライバ3のシフトレジスタ回路21にまで順次転送される。

【0053】

一方、コントローラ6からの端子R1～R6、端子G1～G6、端子B1～B6から出力されるそれぞれ6ビットのR、G、B用の各表示データ信号は、クロック信号/SCK（クロック信号SCKの反転信号）の立ち上がりで同期を取って、ソースドライバ3の入力端子R1in～R6in、入力端子G1in～G6in、入力端子B1in～B6inにそれぞれシリアルに入力され、データラッチ回路20にて一時的にラッチされた後、サンプリングメモリ回路22に送られる。

【0054】

サンプリングメモリ回路22は、上記シフトレジスタ回路21の各段の出力信号により、時分割で送られてくる各表示データ信号（R、G、B各6ビットの計18ビット）をサンプリングし、ホールドメモリ回路23にコントローラ6の端子から出力されたラッチ信号LSがソースドライバ3の端子LSに入力されるまで、それぞれ記憶している。

【0055】

そして、ホールドメモリ回路23では、サンプリングメモリ回路22より入力される、R、G、B用の各表示データ信号における1水平期間分の表示データ信

号がサンプリングメモリ回路 22 からホールドメモリ回路 23 に入力されるまでの間保持され、その後、レベルシフト回路 24 へ出力される。

【0056】

階調表示基準電圧発生回路 27 は、後述するように R、G、B の各色用の液晶駆動電圧出力端子に対し、64 通りの各基準電圧をそれぞれ階調表示用として生成するためのものである。階調表示基準電圧発生回路 27 には、それぞれ、カラー表示の 3 つの基本色のための、R 用の基準電圧発生回路 27-1、G 用の基準電圧発生回路 27-2 および B 用の基準電圧発生回路 27-3 と、選択回路 27-4 とが設けられている。

【0057】

そして、該階調表示基準電圧発生回路 27 に接続された端子 V_{refm} には、図 2 に示す外部の液晶駆動電源 5 から供給される、最も高い電圧の基準電圧が印加される。また、各端子 H1、H2、H3 はコントローラ 6 内の表示メモリ 7 と接続され、該表示メモリ 7 に格納された γ 補正用の各調整データ H1R、H2G、H3B が供給されるようになっている。

【0058】

また、選択回路 27-4 に接続された各端子 RS、GS、BS はコントローラ 6 と接続され、コントローラ 6 から供給される入力信号 RSI、GSI、BSI とスタートパルス入力信号 SSPI とにより導通／非導通を行うための制御信号を選択回路 27-4 で作成し、各制御信号 RSO、GSO、BSO としてそれぞれ出力する。

【0059】

この選択回路 27-4 からの各制御信号 RSO、GSO、BSO は、前記各端子 H1、H2、H3 と、R 用の基準電圧発生回路 27-1、G 用の基準電圧発生回路 27-2、B 用の基準電圧発生回路 27-3 との間にそれぞれ接続される各アナログスイッチを導通若しくは非導通とし、該アナログスイッチが導通されることで γ 補正用の各調整データ H1R、H2G、H3B がそれぞれ R 用の基準電圧発生回路 27-1、G 用の基準電圧発生回路 27-2、B 用の基準電圧発生回路 27-3 に供給され、ソースドライバ 3 毎において、かつ各色独立に γ 補正の

変更が可能となる。

【0060】

尚、図6には記載されていないが、階調表示基準電圧発生回路27においては、 γ 補正用の各調整データである各信号H1～H3をそれぞれ格納するラッチ回路が備えられている。

【0061】

そして、スタートパルス入力信号SSPIに同期して選択回路27-4から取り込まれる信号（例えば、転送されてきたスタートパルス入力信号が該ソースドライバ3に inputsするタイミングに同期）でアナログスイッチ回路を制御して、所望の γ 補正用の調整データを取り込み、ラッチ回路に格納して、以後、図6に示すように、その格納された調整データにより各 γ 補正調整回路54をそれぞれ動作させる。

【0062】

一方、表示メモリ7における、 γ 補正用の調整データの読み出しも、周辺回路部8にスタートパルス入力信号SSPIが第*i*番目のソースドライバ3から次の第(*i*+1)番目のソースドライバ3に転送されたタイミングを識別する識別手段（転送クロック数をカウントするカウンタ回路等）を備えており、スタートパルス入力信号SSPIが次のソースドライバ3に転送されるタイミングで該当する γ 補正用の調整データを読み出し、出力するものである。

【0063】

また、本実施の形態は、ソースドライバ3毎に γ 補正值を調整（図7の中央部の縦太線で示した境界線を挟んで互いに隣接する各表示領域や、各ソースドライバ3の出力特性の違いに対応する各表示領域）するものであるが、R、G、B独立に γ 補正值を調整することで、ステップを用いた場合のように互いに異なる露光を受け、互いに隣接する各画素列の特性が異なった場合（図7の左側の縦太線）の表示品位向上にも効果を有する。以上のデータのやり取りは1水平同期期間毎に繰り返し実行することで、所望の表示動作を実現できる。

【0064】

上記 γ 補正值の調整（変更）は、コントローラ6での表示メモリ7上での、表

示データの特定の座標（つまり、境界線を挟んだ狭い小領域の各座標）の輝度データを、上記境界線を挟んで互いに隣接する各表示領域などの輝度の違いを低減するように調整することで実現できる。

【0065】

図1に示すように、DAコンバータ回路25は、ホールドメモリ回路23より入力されレベルシフト回路24にて変換されたRGBそれぞれ6ビットの表示データ信号（デジタル）を64通りの各基準電圧に基づきアナログ信号に変換して出力回路26に出力する。

【0066】

出力回路26は、64レベルのアナログ信号を増幅し、各出力端子X₀₋₁～X₀₋₁₀₂₈、Y₀₋₁～Y₀₋₁₀₂₈、Z₀₋₁～Z₀₋₁₀₂₈から液晶パネル2へ階調表示電圧として出力する。上記各出力端子X₀₋₁～X₀₋₁₀₂₈、Y₀₋₁～Y₀₋₁₀₂₈、Z₀₋₁～Z₀₋₁₀₂₈は、それぞれ共に1028個の端子からなる。また、ソースドライバ3の端子VC及び端子GNは、液晶駆動電源5に接続されそれぞれ電源電圧及びグランド電位が供給されるものである。

【0067】

図6に、本実施の形態における、階調表示のための3つの各基準電圧発生回路（R用27-1、G用27-2、B用27-3）の内の一つの代表例を示す。尚、本階調表示基準電圧発生回路27は64通りの基準電圧を作成し中間電圧を生成するものを示すが、これに限られるものではない。

【0068】

階調表示基準電圧発生回路27は、最上位電圧入力端子V₀と最下位電圧入力端子V₆₄との2本の電圧入力端子と、基準となる γ 補正を行うための抵抗比を有する8個の抵抗素子R₀～R₇と、この抵抗素子R₀～R₇によって得られた各基準電圧を γ 補正のためにそれぞれ一定の範囲で上下に微調整する各 γ 補正調整回路（ γ 補正調整部）54とを有している。

【0069】

さらに、最上位電圧入力端子V₀と γ 補正調整回路54の出力端子との間、各

γ 補正調整回路 54 の出力端子間、 γ 補正調整回路 54 の出力端子と最下位電圧入力端子 V64 との間に直列に 8 個ずつ接続された合計 64 個の抵抗(図示せず)を有している。

【0070】

図 8 は、上記 γ 補正調整回路 54 の構成を示す概略ブロック図である。 γ 補正調整回路 54 は、電圧降下を発生させるための 1 つの抵抗素子 R と、2 個の各定電流源 440、450 と、バッファアンプ 460 とを備えている。そして、 γ 補正調整回路 54 は、抵抗素子 R に電流を流すことによる電圧降下を利用して、入力された電圧を一定の電圧だけ上下にシフトすることによって出力電圧を調整できるようになっている。

【0071】

このような構成を有する γ 補正調整回路 54 は、次のように動作する。すなわち、上記 γ 補正調整回路 54 の入力端子 470 に、例えば基準電圧 Vref が供給される。そして、基準電圧 Vref よりも高い出力電圧あるいは低い出力電圧を得る場合には、各定電流源 440、450 によって抵抗素子 R に流れる電流を変化させ、抵抗素子 R による電圧降下を利用して、入力された電圧を抵抗素子 R での電圧降下の分だけ上または下にシフトした出力電圧 Vout を出力端子 480 から出力するのである。

【0072】

つまり、上記基準電圧 Vref よりも高い出力電圧 Vout を得る場合には、 $V_{out} = V_{ref} + i \cdot R$ になるように、また、基準電圧 Vref よりも低い出力電圧 Vout を得る場合には、 $V_{out} = V_{ref} - i \cdot R$ になるように、 γ 補正調整回路 54 によって電圧を調整するのである。

【0073】

図 9 は、上記基準電圧 Vref よりも高い出力電圧 Vout を得る場合(図 9 (a))、および、基準電圧 Vref よりも低い出力電圧 Vout を得る場合(図 9 (b))に、各定電流源 440、450 の動作によって抵抗素子 R を流れる電流が変化した状態を示す。

【0074】

この場合、図9 (a) に示すように、抵抗素子Rよりも入力端子470側にある定電流源440を接地し、出力端子480側にある定電流源450を電源に接続することによって、抵抗素子Rには定電流源450から定電流源440に向う正の向きの電流 i が流れる。

【0075】

その結果、入力端子470から基準電圧 V_{ref} が入力された場合の出力端子480からの出力電圧 V_{out} は、基準電圧 V_{ref} よりも抵抗素子Rでの電圧降下の分だけ高い、 $V_{out} = V_{ref} + i \cdot R$ となる。

【0076】

一方、図9 (b) に示すように、上記定電流源440を電源に接続し、定電流源450を接地することによって、抵抗素子Rには定電流源440から定電流源450に向う、負の向きの電流 i が流れる。その結果、入力端子470から基準電圧 V_{ref} が入力された場合の出力端子480からの出力電圧 V_{out} は、基準電圧 V_{ref} よりも抵抗素子Rでの電圧降下の分だけ低い、 $V_{out} = V_{ref} - i \cdot R$ となるのである。

【0077】

そして、個々の上記 γ 補正調整回路54における各定電流源440、450に関して、電流値を複数值に切り換え可能にし、さらに接地と電源への接続とを切り換え可能にし、上記夫々の切り換えを前述の γ 補正用の各調整データ (H1R、H2G、H3B) に基づいて制御することによって、各抵抗素子R0～R7で得られた基準電圧をそれぞれ γ 補正のために微調整できる。

【0078】

こうして微調整された各基準電圧間の電圧が、さらに前述の64個の抵抗のうちの8個によってさらに8等分されて、D/Aコンバータ回路(図1および図10参照)25に送出される。

【0079】

図11は、上記各定電流源440、450に関する電流値の切り換えおよび接地/電源の接続切り換えを実現する γ 補正調整回路54の定電流源部の回路構成を示す。この定電流源部は、電源に接続されると共に、 n を正の整数として、2

(n-1)で重み付けされた電流 $2^{(n-1)}i$ を発生する 5 個の各定電流源 i 、 $2i$ 、 $4i$ 、 $8i$ 、 $16i$ を有する。各定電流源 i 、 $2i$ 、 $4i$ 、 $8i$ 、 $16i$ は、各基準電圧において共有化されていることが好ましい。

【0080】

そして、夫々の定電流源 $2^{(n-1)}i$ は、 $+2^{(n-1)}$ の制御信号によってオンするスイッチ $+2^{(n-1)}$ を介して、抵抗素子 R の一端および出力端子 480 に接続されている。さらに、 $-2^{(n-1)}$ の制御信号によってオンするスイッチ $-2^{(n-1)}$ を介して、抵抗素子 R の他端および入力端子 470 に接続されている。

【0081】

同様に、接地されると共に、上記 $2^{(n-1)}$ で重み付けされた電流 $2^{(n-1)}i$ を発生する 5 個の各定電流源 i 、 $2i$ 、 $4i$ 、 $8i$ 、 $16i$ を有する。そして、接地されている夫々の定電流源 $2^{(n-1)}i$ は、 $+2^{(n-1)}$ の制御信号によってオンするスイッチ $+2^{(n-1)}$ を介して、抵抗素子 R の上記他端および入力端子 470 に接続されている。さらに、 $-2^{(n-1)}$ の制御信号によってオンするスイッチ $-2^{(n-1)}$ を介して、抵抗素子 R の上記一端および出力端子 480 に接続されている。

【0082】

つまり、上記スイッチ $+2^{(n-1)}$ および抵抗素子 R を介して、またはスイッチ $-2^{(n-1)}$ を介して入力端子 470 に接続された定電流源 $2^{(n-1)}i$ は図 8 および図 9 における定電流源 440 として機能し、スイッチ $+2^{(n-1)}$ および抵抗素子 R を介して、あるいはスイッチ $-2^{(n-1)}$ を介して出力端子 480 に接続された定電流源 $2^{(n-1)}i$ は図 8 および図 9 における定電流源 450 として機能するのである。

【0083】

そして、表示メモリ 7 に格納された γ 補正用の各調整データ H1R、H2G、H3B に基づいて、各スイッチ $+2^{(n-1)}$ および各スイッチ $-2^{(n-1)}$ のオン／オフをそれぞれ、制御回路 6a により制御することによって、各定電流源 440、450 に関する電流値の切り換えおよび電源／接地の接続切り換えを実現できる。

【0084】

このような構成により、上記抵抗素子 R を流れる電流の値と方向とを変化させることができ、入力基準電圧 V_{in} に対して抵抗素子 R に流れる電圧降下の分だけ上に、または下に複数段にシフトした出力電圧 V_{out} を出力することができる。以下、具体例を挙げて説明する。

【0085】

以下の説明は、上記 γ 補正用の各調整データ ($H1R$ 、 $H2G$ 、 $H3B$) が 6 ビットデータであるとして行う。このような 6 ビットで表わされる調整データに基づく調整は、 γ 補正に対する調整を $-32 \sim +31$ の 64 段階で行うことを可能にするのである。

【0086】

図 11 において、上記各定電流源 i 、 $2i$ 、 $4i$ 、 $8i$ 、 $16i$ の夫々は、 $2^{(n-1)}$ で重み付けされた各電流値 i 、 $2i$ 、 $4i$ 、 $8i$ 、 $16i$ を発生する。また、上記各スイッチ $+2^{(n-1)}$ およびスイッチ $-2^{(n-1)}$ は、上記、調整用データ ($H1R$ 、 $H2G$ 、 $H3B$) に基づいてオンあるいはオフされる。以下、6 ビットの調整データに基づく γ 補正調整回路 54 の動作を説明する。

【0087】

第 1 の場合として、上記調整データ $H1R$ が「 $+1 : (000001)$ 」の場合について述べる。この場合には 2 つのスイッチ $+2^0$ のみがオンし、他の総てのスイッチはオフする。この状態は、図 9 (a) と同じである。つまり、抵抗素子 R に流れる電流 I_{total} は定電流源 i と同じであり、電流の向きは上記正である。

【0088】

したがって、出力電圧 V_{out} は入力された入力基準電圧 V_{in} よりも抵抗素子 R での電圧降下分だけ上昇し、 $V_{out} = V_{in} + i \times R$ の出力電圧が得られる。これは、入力基準電圧 V_{in} よりも $(i \times R)$ だけ高い電圧である。

【0089】

また、他の場合として、上記調整データ $H3B$ が「 $-9 : (101001)$ 」の場合に付いて説明する。この場合には、2 つのスイッチ -2^3 および 2 つのスイッチ -2^0 の合計 4 つのスイッチがオンし、他の総てのスイッチはオフする。こ

の状態は、図9（b）と同じである。

【0090】

つまり、抵抗素子Rに流れる電流 I_{total} は定電流源 i と定電流源 $8i$ との電流の和である $9i$ となり、電流の向きは上記負である。したがって、出力電圧 V_{out} は入力された入力基準電圧 V_{in} よりも抵抗素子Rでの電圧降下分だけ下降し、 $V_{out} = V_{in} - 9i \times R$ の出力電圧が得られる。これは、入力基準電圧 V_{in} よりも $(i \times R)$ の9倍だけ低い電圧である。

【0091】

他の調整データの場合においても、上述の動作に準じて、夫々のスイッチ+2(n-1)、-2(n-1)をオンまたはオフすることによって、入力基準電圧 V_{in} を中心として、1段階当たり $(i \times R)$ の電圧で-32～+31の範囲内で64段階に電圧調整を行うことができる。

【0092】

すなわち、上記調整用データとして2の補数表現による符号付2進数の多ビットデジタルデータを用いることによって、そのビット番号 n と抵抗素子Rに流す電流値の重み(倍率) $2^{(n-1)}$ とを、スイッチ+2(n-1)、-2(n-1)を介して対応付けることができるのである。

【0093】

したがって、調整用データ（H1R、H2G、H3B）に応じた倍率の調整量を得ることができることになる。つまり、上記調整データによって上記基準値の調整量を簡単に指定することができるのである。

【0094】

このように上記、表示メモリ7に格納された γ 補正用の各調整データH1R、H2G、H3Bに応じてスイッチ+2(n-1)、-2(n-1)をオン／オフすることによって、入力電圧に対して調整データに基づく調整を行った電圧を出力することができ、この調整を抵抗素子R0～R7に基づく γ 補正值に適用することによって、液晶駆動出力電圧の特性を、抵抗素子R0～R7に基づく γ 補正值を中心としてさらに上下にそれぞれ変更することができる。

【0095】

尚、表示メモリ 7 は、必要に応じて自由にプログラム等により調整データを書き換えられるものとする。よって、上記調整データは自由に書き換えが可能なため、補正特性を容易に変更することができる。

【0096】

以上、64 階調の階調表示の場合、64 種類の階調表示用電位を発生し、DA コンバータ回路 25 に対して出力する。DA コンバータ回路 25 では、レベルシフト回路 24 からの表示データに応じた階調表示用電圧を上記 64 種類の階調表示用基準電圧の中から画素毎に 1 つ選択し、出力回路 26 に対して出力する。

【0097】

出力回路 26 は差動増幅器等からなる低インピーダンス変換部であり、出力回路 26 から液晶パネル 2 の第 1 ～第 m のソース電極それぞれに対して、DA コンバータ回路 25 で選択された階調表示用基準電圧が付与される。

【0098】

この階調表示用基準電圧は、水平同期信号 H の 1 周期、つまり 1 水平同期期間維持され、次の水平同期期間は、新たな表示データに応じた階調表示基準電圧が出力される。

【0099】

図 7 は、境界部分（継ぎ目部分）に対する、 γ 補正値のさらなる変更の一例を示す。例えば、本実施の形態では、B 色と R 色との γ 補正値に対する、さらなる変更の一例を示す。ここでは、第 1 番目ソースドライバ 3 は B 色に対し γ 補正を行っており、第 1 番目ソースドライバ 3 へはコントローラ 6 から送られる入力信号 BSI とスタートパルス入力信号 SSPI（特に図示なし）とが階調表示基準電圧発生回路 27 の B 用の基準電圧発生回路 27-3 に関する選択回路 27-4 に供給される。

【0100】

そして、この選択回路 27-4 から出力される制御信号 BSO により、端子 H3 と、B 用の基準電圧発生回路 27-3 との間に接続されているアナログスイッチが導通状態となり、コントローラ 6 内の表示メモリ 7 に格納された B 色用の γ 補正用の調整データ H3B が該 B 用の基準電圧発生回路 27-3 に供給され、階

調用基準電圧の補正が行われる。

【0101】

また、一方、第2番目ソースドライバ3はR色に対し γ 補正を行っており、ここでは、第2番目ソースドライバ3へ、コントローラ6から送られる入力信号BSIとスタートパルス入力信号SSPI（特に図示なし）とがR用の基準電圧発生回路27-1に係する選択回路27-4に供給される。

【0102】

そして、選択回路27-4から出力される制御信号RSOにより、端子H1RとR用の基準電圧発生回路27-1との間に接続されているアナログスイッチが導通状態となり、コントローラ6内の表示メモリ7に格納されたR色用の γ 補正用の調整データH1Rが該R用の基準電圧発生回路27-1に供給され、階調電圧の補正が行われる。

【0103】

なお、上記では、第1番目のソースドライバ3と第2番目ソースドライバ3との間の例を挙げたが、第k番目ソースドライバ3と第(k+1)番目ソースドライバ3との間でも同様である（kは、1からソースドライバ3の総数までの整数）。

【0104】

一方、前述したゲートドライバ4は、ここでは特に図示しないシフトレジスタ回路、レベルシフト回路、および出力回路を含んで構成されている。ゲートドライバ4では、シフトレジスタ回路に水平同期信号Hおよび垂直同期信号Vが入力され、水平同期信号Hをクロックとして垂直同期信号Vをシフトレジスタ回路内の各段で順次転送させる。

【0105】

シフトレジスタ回路の各段からの出力は、液晶パネル2における各列に含まれる第1～第nの画素、つまり第1～第nのゲート電極にそれぞれ対応している。シフトレジスタ回路の各段からの出力は、レベルシフト回路でレベル変換されることにより各画素が有するTF Tのゲートを制御できる電圧まで昇圧され、出力回路で低インピーダンス変換されて、出力回路から液晶パネル2の第1～第nの

ゲート電極それぞれに対して出力される。このゲートドライバ4からの出力が走査信号となり、液晶パネル2の各画素のTFTのゲートのオン／オフが制御される。

【0106】

これにより、走査信号で選択された1本のゲート電極にゲートが接続されているTFTがオンされる。そして、1水平同期期間ごとにゲート電極が順次選択されることで、オンされるTFTを有する画素が順次垂直方向に移動する。

【0107】

走査信号により選択されてTFTがオンされた画素では、その画素に備えられた画素容量にソース電極から階調表示用電位が付与されることで、その電位に応じて画素容量が充電され、TFTがオフとなると画素容量にて電位が保持されることで画素における階調表示がなされる。

【0108】

以上、これまでの説明は1枚の液晶パネル2で複数のソースドライバ3を備えた事例で説明したが、複数の液晶パネルを繋いで大画面（各液晶パネルの特性が互いに若干異なる場合）にした場合における継ぎ目の表示品位の向上にも対応できる。

【0109】

以上のように、本実施の形態においては、各色、ソースドライバ3毎に階調表示基準電圧発生回路27（R用27-1、G用27-2、B用27-3）に供給される γ 補正用の調整データ（H1R、H2G、H3B）により独立に γ 補正值の変更を行うことが可能となり、従来のような液晶パネルにおける複雑な形状の境界線部の作製工程を省いて、表示むらを低減でき、また、継ぎ目の視認による従来の表示上の見苦しさも抑制できるから、すっきりした表示画面を得ることができる、大画面が可能な液晶表示装置が実現可能である。

【0110】

なお、上記では、液晶表示装置を表示装置の例として挙げたが、 γ 補正を必要とする表示装置であれば、本発明を適用でき、そのような他の表示装置としては、CRT、PDP（プラズマディスプレイ）、EL（エレクトロルミネッセンス

）表示装置、発光ダイオード表示装置等が挙げられる。また、 γ 補正の変更をどのような基準にて行うかについては、利用者の見る位置や視角方向の範囲に合わせた、取扱い者（調整者）自身による調整データに基づいて設定すればよい。

【0111】

【発明の効果】

以上より明らかなように、本発明では、互いに隣り合う各表示領域において、独立して γ 補正の変更ができるので、表示装置の表示品位をきめ細かく制御することができる。

【0112】

その結果、本発明においては、表示品位をきめ細かく制御できるとともに、従来生じ易かった互いに隣り合う各表示領域の継ぎ目部分に発生するスジ状の表示むらを抑制できるため、表示上の見苦しさも軽減でき、よりすっきりとした表示画面を得ることができると共に、従来のような液晶パネルにおける複雑な形状の境界線部の作製工程を省くことができ、コストアップを抑制できるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明に係る実施の形態における液晶表示装置のソースドライバの概略構成を示すブロック図である。

【図2】

上記液晶表示装置の概略を示すのブロック図である。

【図3】

上記液晶表示装置の液晶パネルの概略構成を示す回路図である。

【図4】

上記液晶表示装置における液晶駆動波形の一例を示す波形図である。

【図5】

上記液晶表示装置における液晶駆動波形の他の一例を示す波形図である。

【図6】

上記ソースドライバが含む基準電圧発生回路の概略構成を示すブロック図であ

る。

【図 7】

上記液晶表示装置における、境界部分（繋ぎ目部分）による γ 補正手段の一例を示すための、各ソースドライバの動作例を示すブロック図である。

【図 8】

上記基準電圧発生回路の γ 補正調整回路を示す概略ブロック図である。

【図 9】

上記 γ 補正調整回路の動作例を示すブロック図であり、（a）は基準電圧 V_{ref} よりも高い出力電圧 V_{out} を得る場合を示し、（b）は基準電圧 V_{ref} よりも低い出力電圧 V_{out} を得る場合を示す。

【図 10】

上記液晶表示装置の DA コンバータ回路の概略構成を示す回路図である。

【図 11】

上記 γ 補正調整回路の回路図である。

【図 12】

液晶表示装置の製造における、大型基板を複数のショット領域に分割して、ショット領域毎に露光処理（ショット）を行う工程概念図である。

【図 13】

上記各ショット領域でのドットパターンの平面図である。

【図 14】

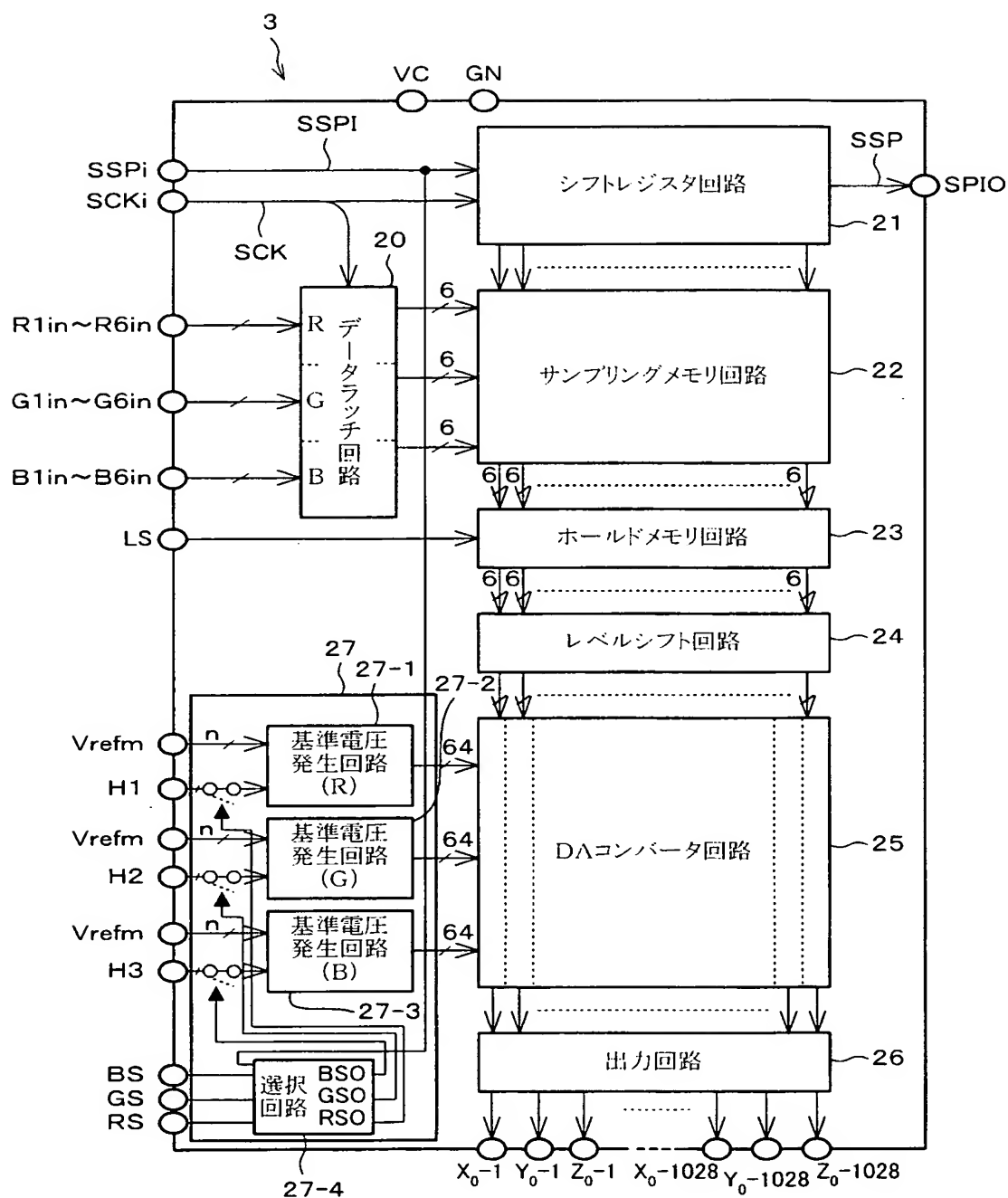
図 13 のドットパターンの拡大平面図である。

【符号の説明】

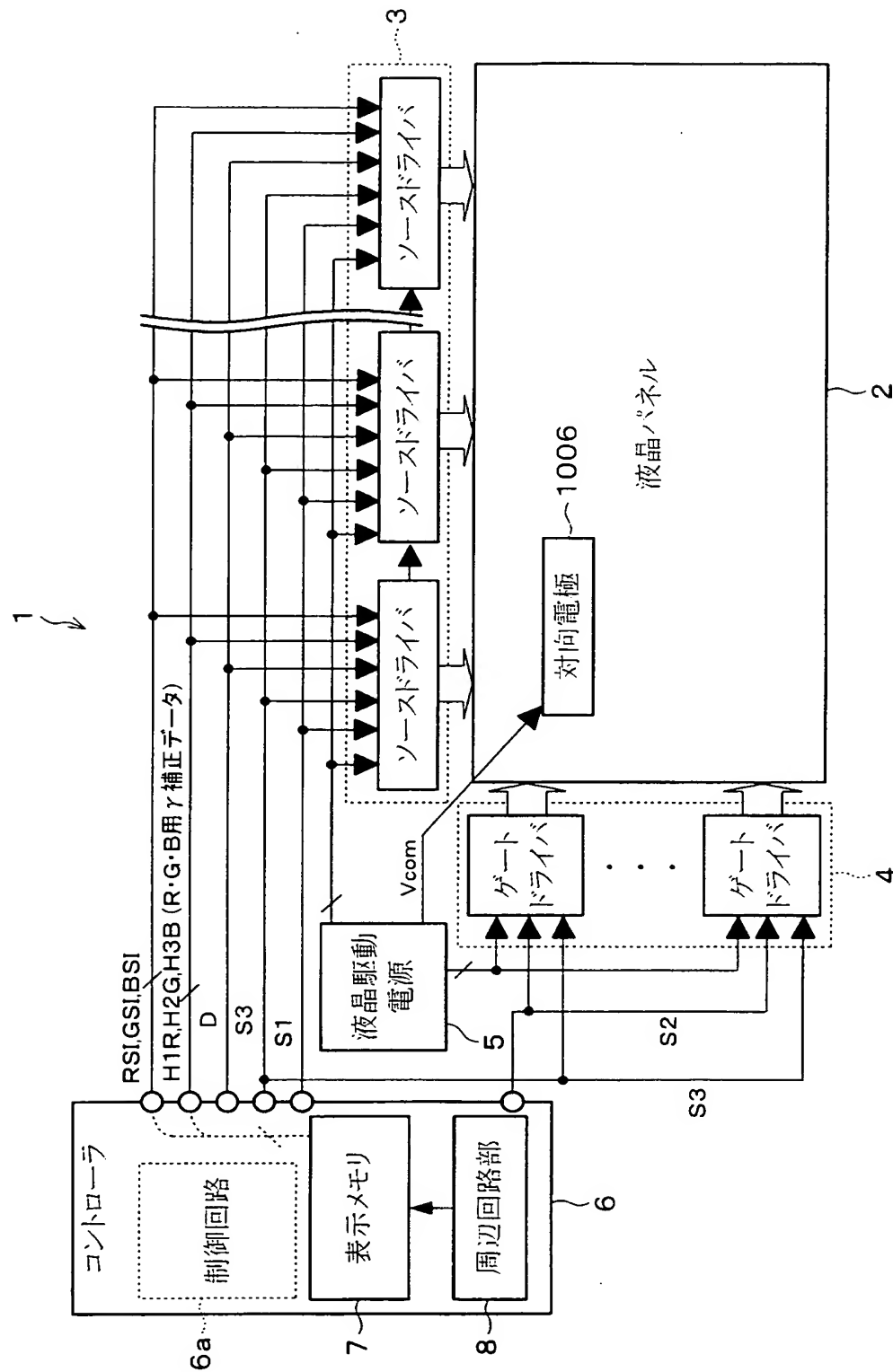
- 2 液晶パネル（表示パネル）
- 3 ソースドライバ（駆動部）
- 5 液晶駆動電源
- 6 コントローラ
- 6 a 制御回路（制御部）
- 7 表示メモリ（メモリ）
- 5 4 γ 補正調整回路

【書類名】 図面

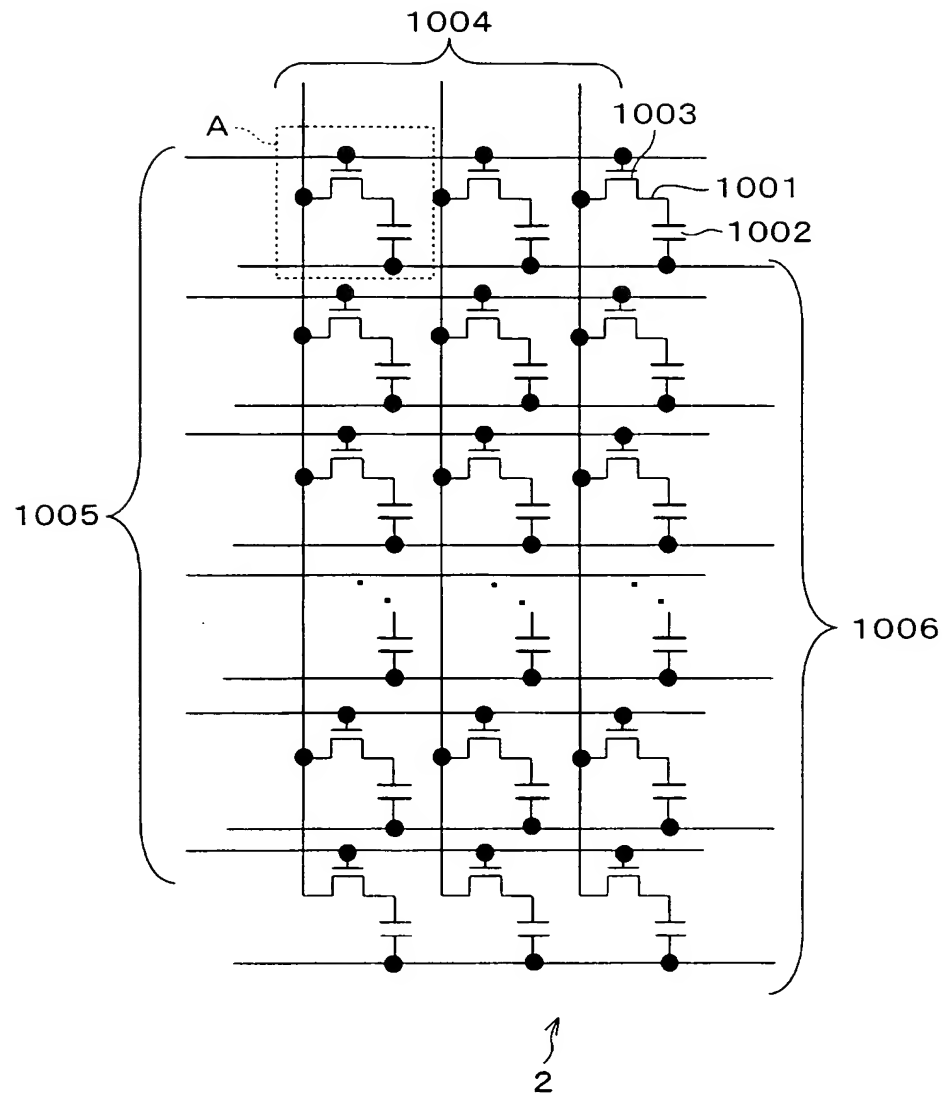
【図 1】



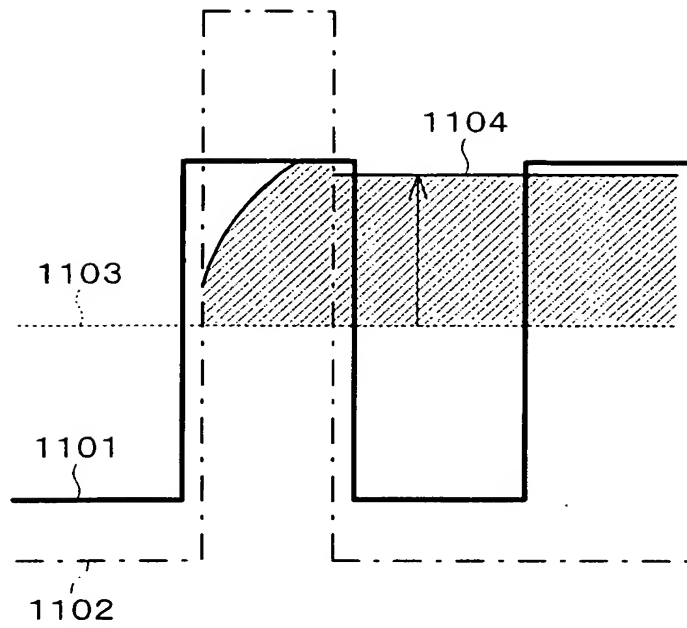
【図 2】



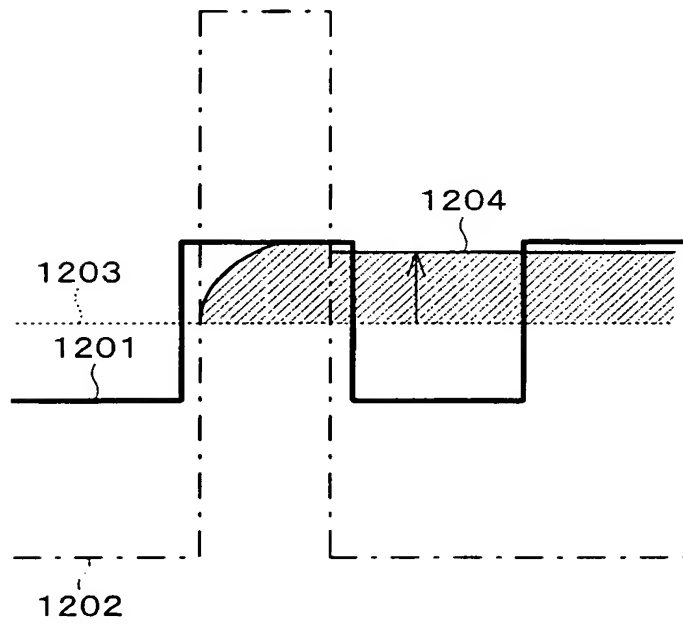
【図 3】



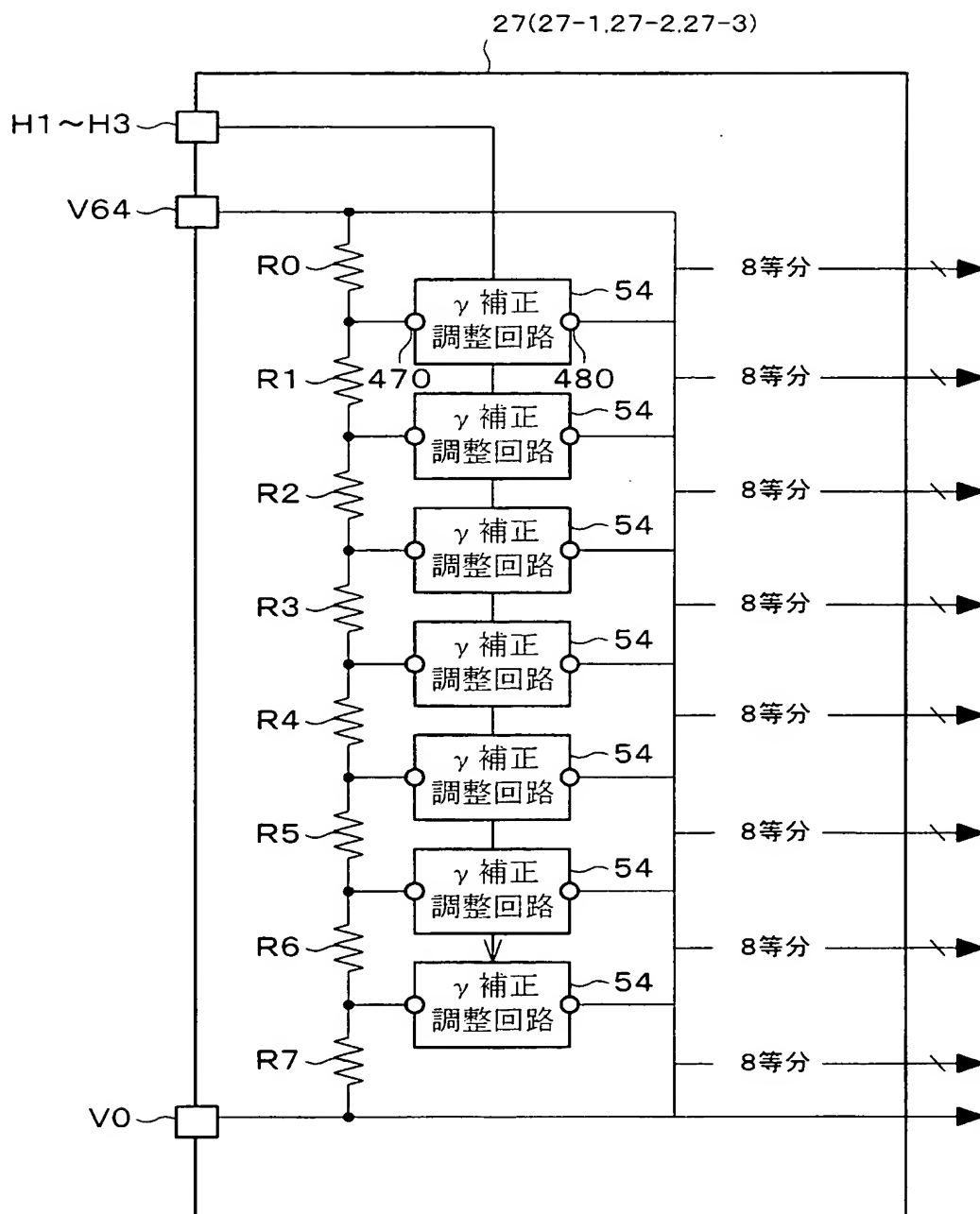
【図 4】



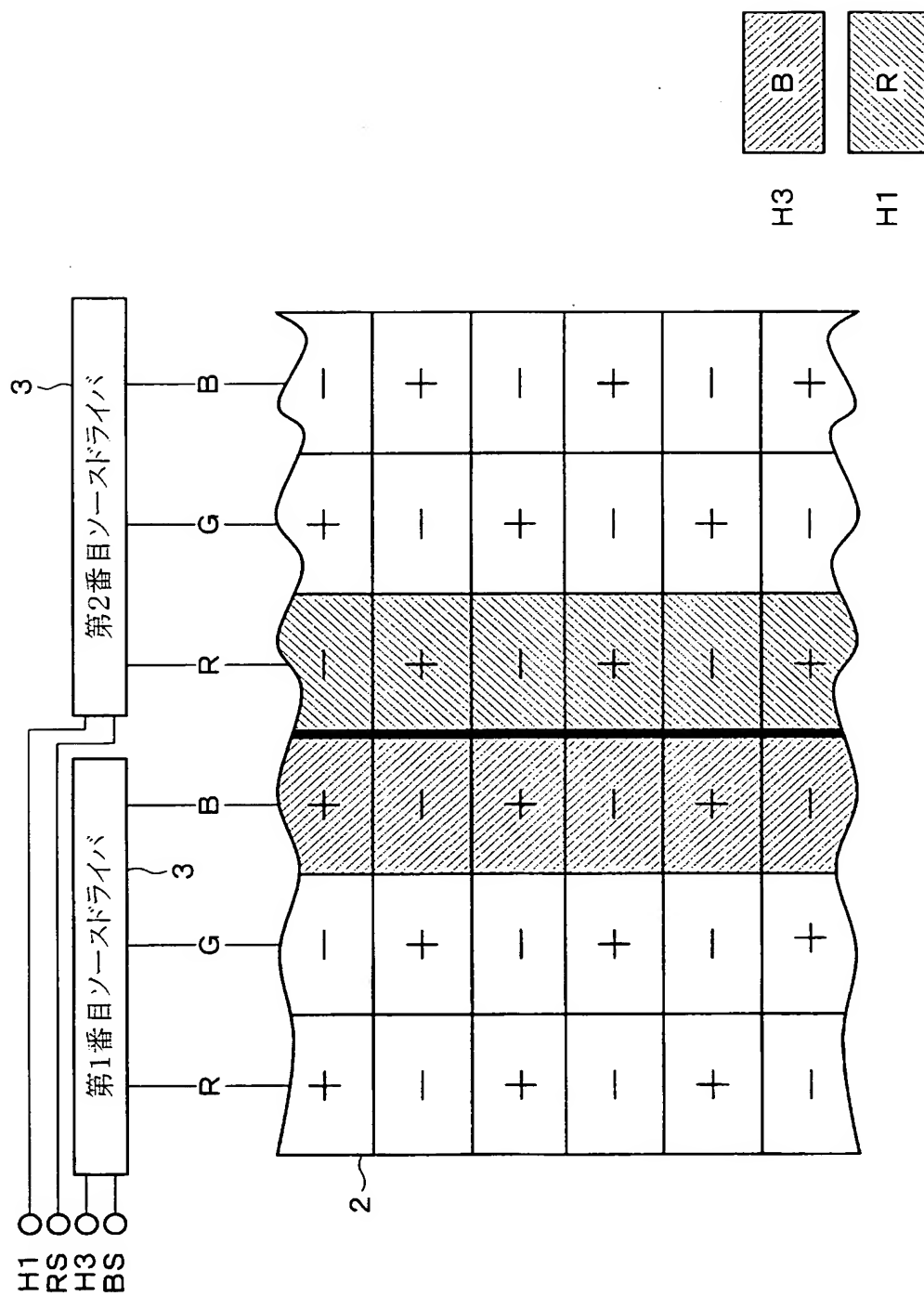
【図 5】



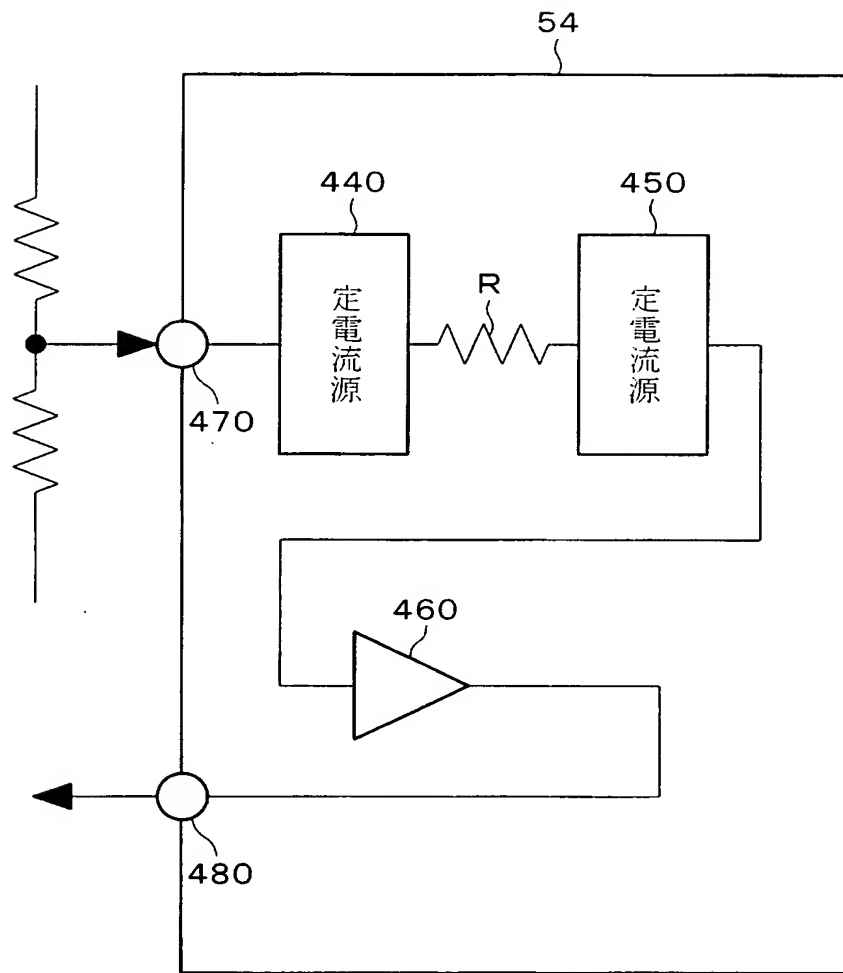
【図 6】



【図 7】

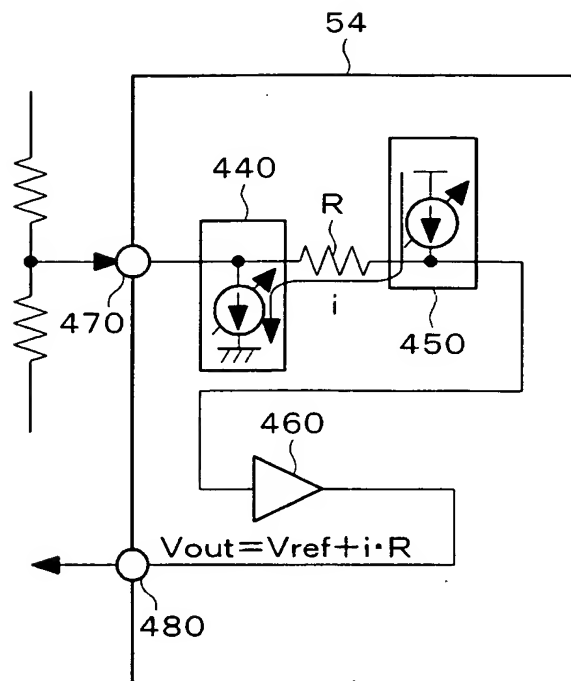


【図 8】

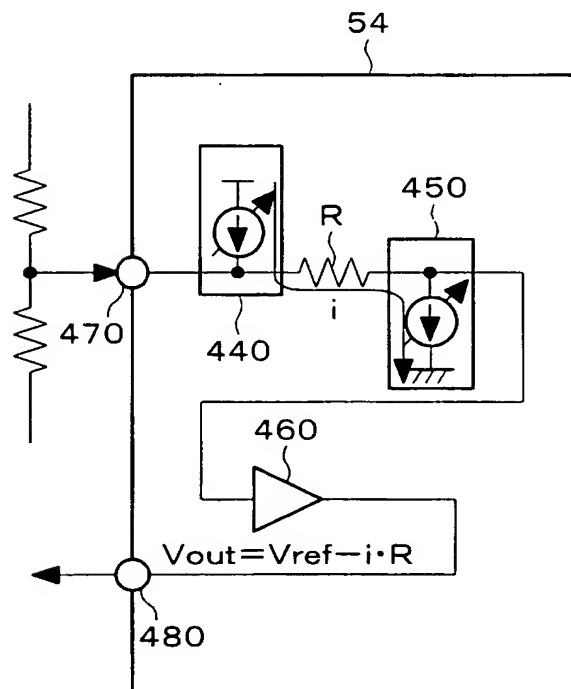


【図 9】

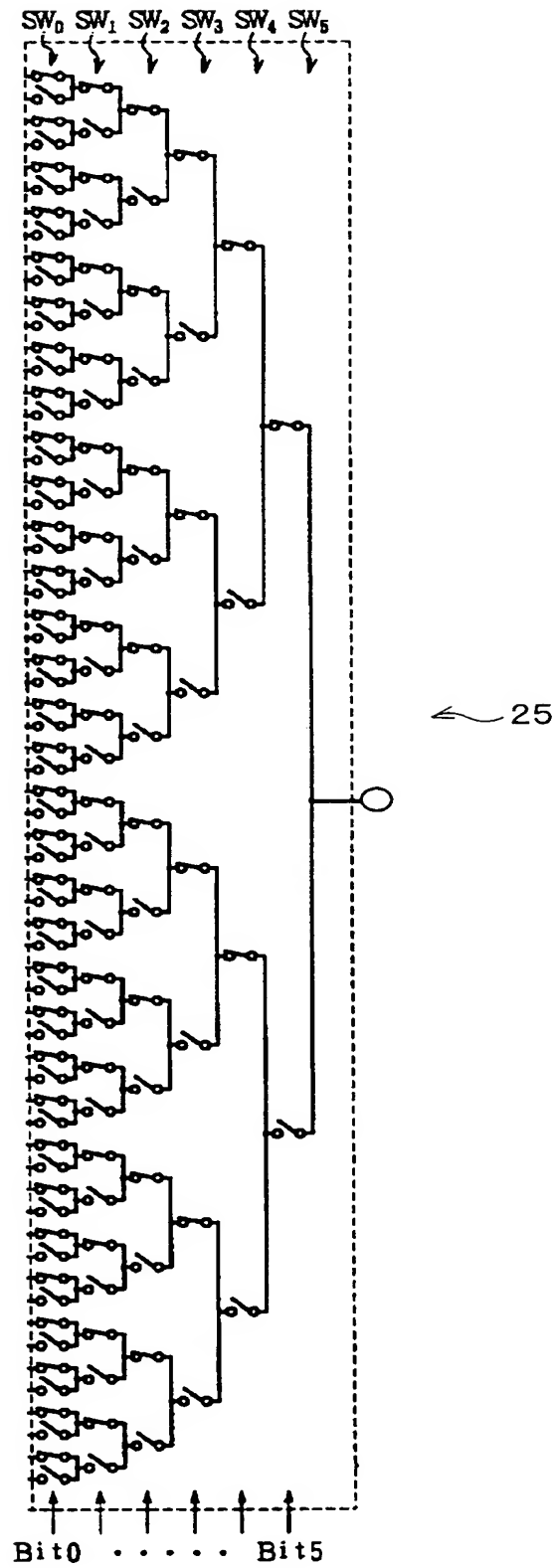
(a)



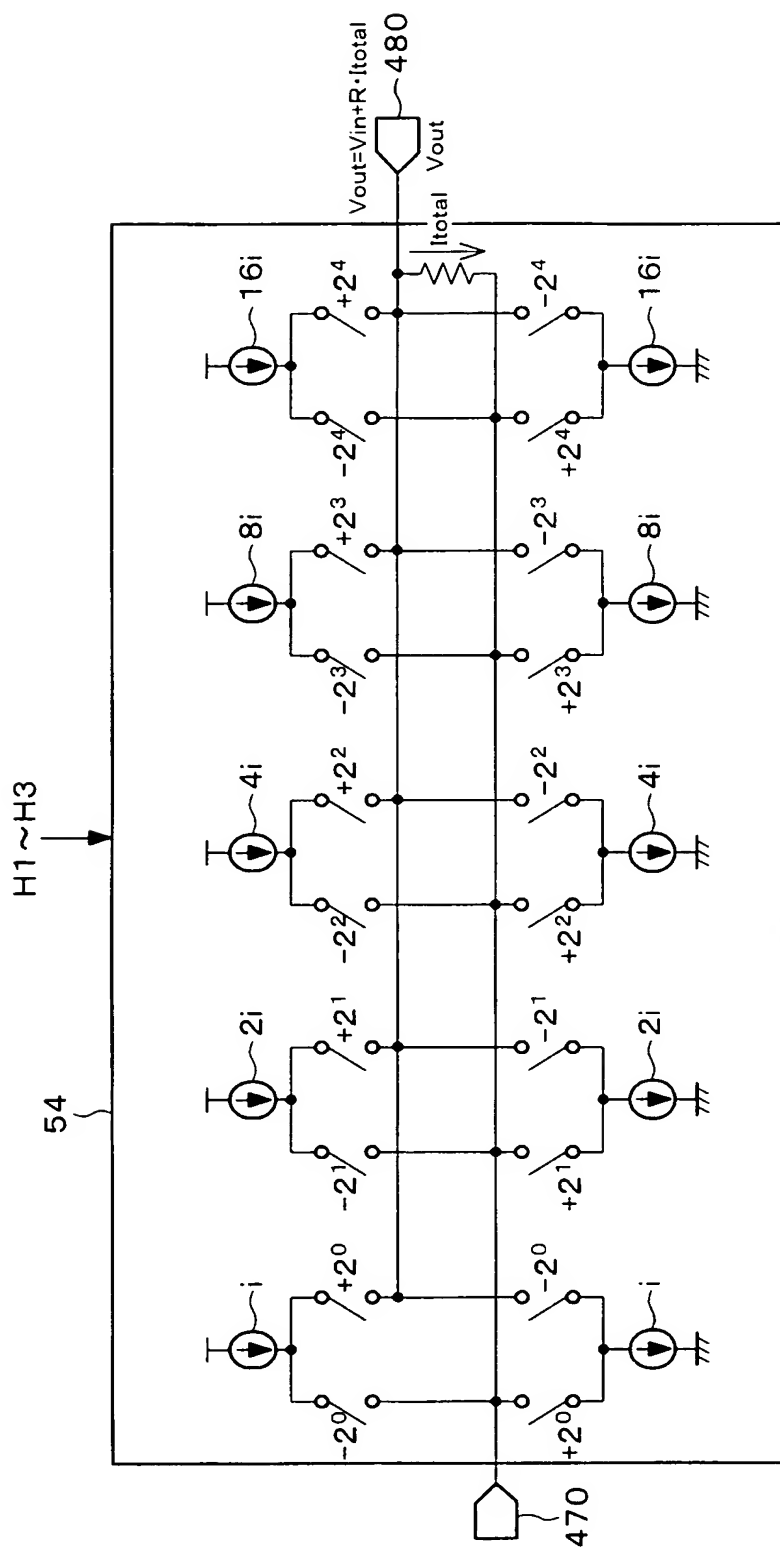
(b)



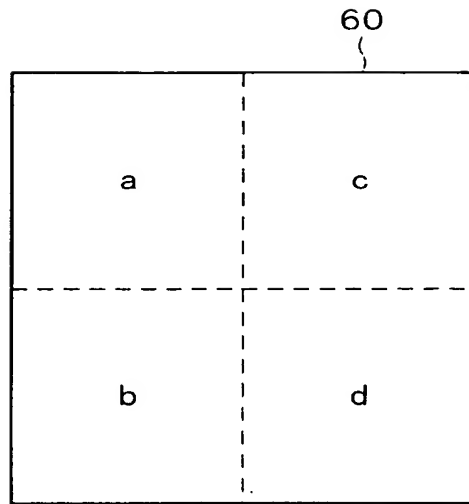
【図 10】



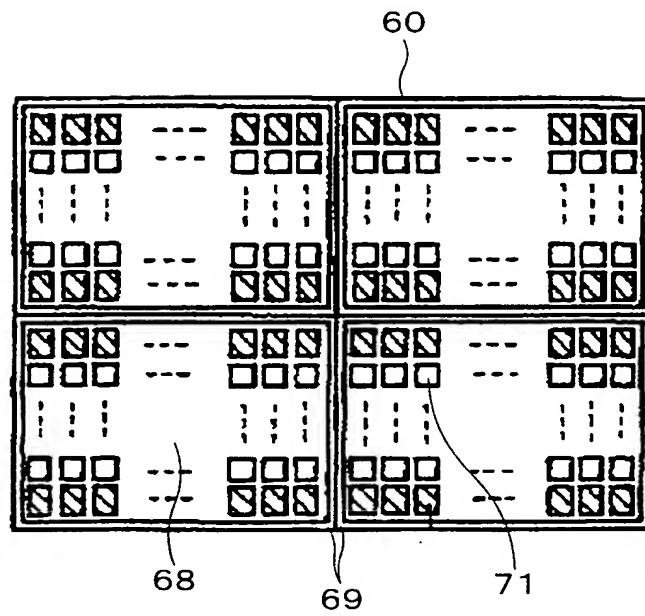
【図 11】



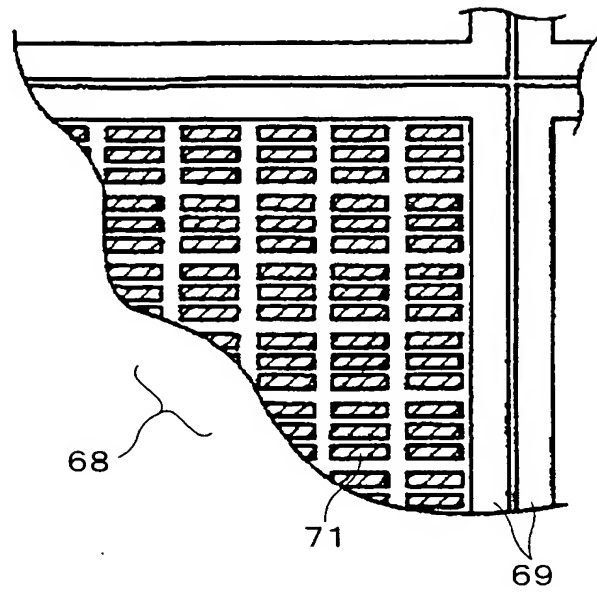
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 大型化を図りながら、コストアップを抑制できる液晶表示装置を提供する。

【解決手段】 マトリクス状に配置された複数の各画素を有する液晶パネルを設ける。水平方向に沿った各画素の一ライン毎、垂直方向に順次駆動して表示データに基づく画像を上記液晶パネルに表示させるためのソースドライバ3を設ける。上記画像を多階調にて表示するための、上記多階調に応じた各基準電圧を発生するための階調用基準電圧発生回路27を設ける。上記表示データを γ 補正するために、上記各基準電圧を調整する γ 補正調整回路を設ける。互いに隣り合う各画素での表示むらを低減するために、上記 γ 補正された各基準電圧を変更するように上記 γ 補正調整部を制御する制御部を設ける。

【選択図】 図1

特願 2 0 0 3 - 0 6 7 2 1 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日 1 9 9 0 年 . 8 月 2 9 日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区长池町 2 2 番 2 2 号

氏 名 シャープ株式会社